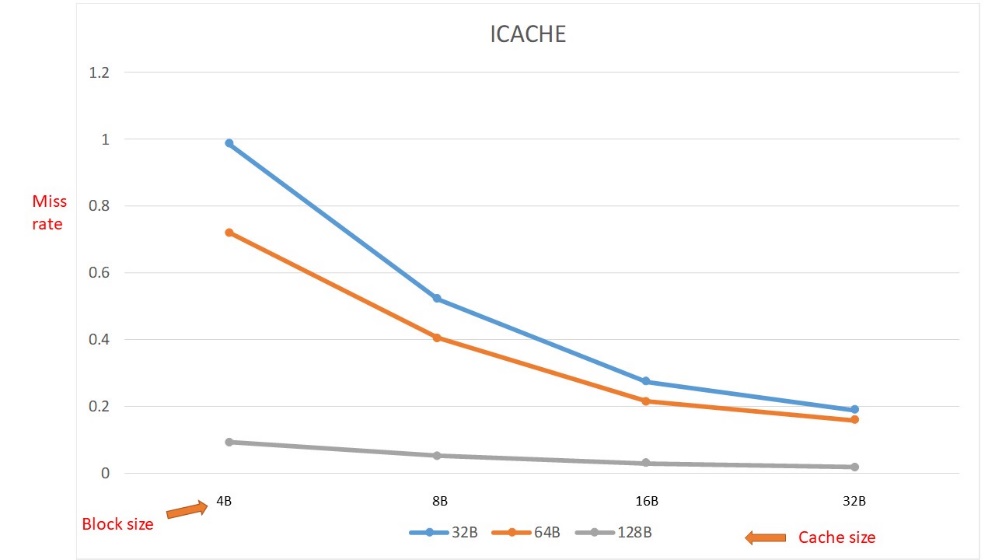
**Term Project - Lab 4 (Cache Simulator) Report**

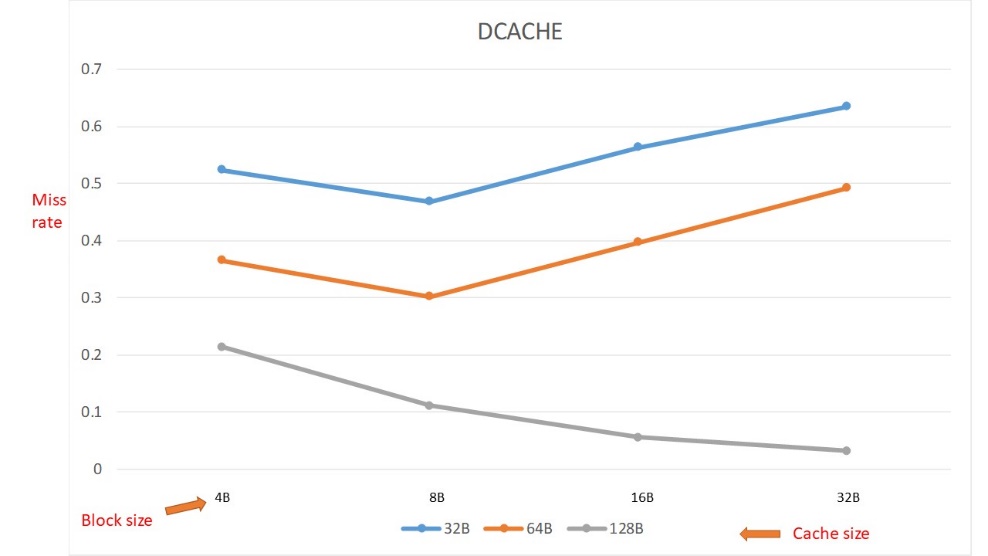
**Basic:**

在講義第27頁圖表中，隨著block size 的上升，miss rate會出現先下降再上升的趨勢，造成這種趨勢的原因是因為增加block size會造成index數下降(cache size固定)，address指到同一個index的機率上升，當tag也相同，hit rate就會上升，miss rate便下降。但若是持續增加block size，在固定的cache size下，index會更少，少到一個地步，tag不相同的機率反而會上升，進而造成miss rate上升。

Cache size增加，在相同的block size下，擁有更多的index，因此miss rate也會隨之降低。

對於ICACHE來說，由於資料量不夠，且資料的隨機性不佳，幾乎每次都加四(pc+4)，導致沒辦法呈現miss rate上升的趨勢。對於DCACHE來說，資料量更少，導致結果較不穩定。Cache size較大的時候，和ICACHE趨勢較吻合；Cache size較小的時候，則和講義較吻合。





**Advanced:**

在圖表中，隨著增加n-way，miss rate在相同cache size下，大致皆為下降的趨勢。造成這種趨勢的原因是因為way數增加，可以在一個set內擁有更多block。當有指到相同set的data時，較不會發生覆蓋先前資料的情況，miss rate會下降。但way數增加，在相同block 和cache的情況下，set數會下降，下降到一定程度時，若剛好有較多資料持續指到同一個set，則有小概率造成miss rate些微增加。

Cache size增加，在相同的block size和n-way情況下，擁有更多的number of set，因此miss rate也會隨之降低。

